

CAPITOLO IV

HARDWARE DEI CIRCUITI DIGITALI INTEGRATI

4.1 INTRODUZIONE

Nei capitoli precedenti, sono state sviluppate in maniera semplificata le procedure di analisi e di sintesi delle reti digitali, combinatorie e sequenziali.

Si è visto come i blocchi funzionali necessari per implementare una qualunque funzione logica sono le tre porte AND, OR, NOT o, meglio, un solo tipo di porta universale, il NAND oppure il NOR.

Fino a questo momento, questi blocchi sono stati descritti solo con le loro proprietà terminali, riassunte nella tavola della verità, in quanto abbiamo utilizzato solo la relazione logica ingresso-uscita.

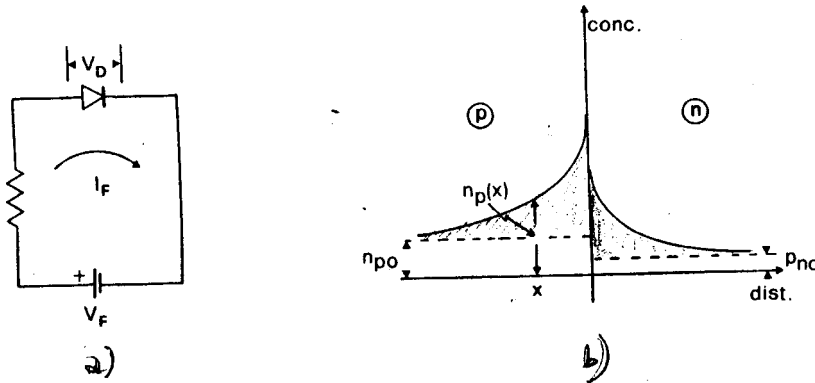
Studieremo in questo capitolo come sono realizzate le porte logiche, cioè la loro struttura circuitale interna. Ci limitiamo a descrivere la porta base delle tre famiglie di più largo uso nelle applicazioni che riguardano la fisica: TTL, ECL, CMOS. La prima e la terza famiglia sono, comunque, quelle di più largo uso in qualunque tipo di applicazioni.

Le prime due famiglie usano il transistor bipolare come elemento attivo: esso viene fatto lavorare come switch, tra la saturazione e l'interdizione nel primo caso, tra il regime lineare e l'interdizione nel secondo. Poiché un fattore di merito importante dei circuiti logici è la velocità di commutazione, è opportuno richiamare preliminarmente le caratteristiche dei componenti a semiconduttore che determinano questa velocità.

4.2 - CARATTERISTICHE DI COMMUTAZIONE DI UN DIODO A GIUNZIONE

Consideriamo un diodo a giunzione polarizzato direttamente, **Fig. 4.1a**. Dal punto di vista macroscopico, questa polarizzazione ha l'effetto di far scorrere nel circuito la corrente $I_F = (V_F - V_D)/R_L$.

Dal punto di vista microscopico, la I_F è dovuta all'iniezione di elettroni dalla regione n alla regione p, e di lacune in direzione opposta.



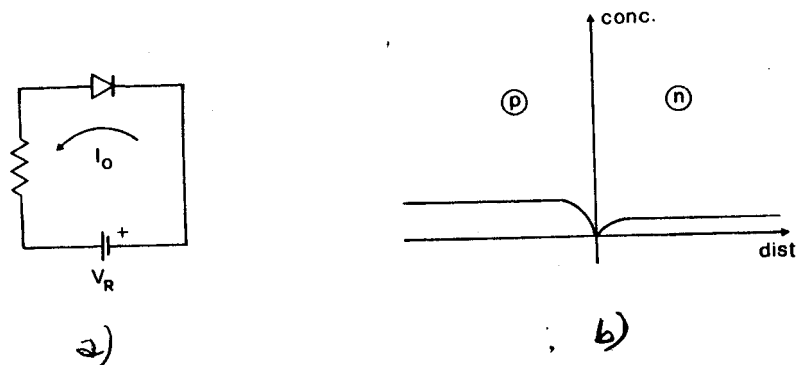
4.1

La distribuzione a regime dei portatori minoritari nelle due regioni p e n del diodo di **Fig. 4.1a** è mostrata in **Fig. 4.1b**: n_{po} è la concentrazione di equilibrio degli elettroni minoritari; $n_p(x)$ è la

concentrazione totale di elettroni alla distanza x dalla giunzione, con polarizzazione diretta.

Analogamente per le lacune.

L'area tratteggiata nella **Fig. 4.1b** rappresenta la carica minoritaria in eccesso iniettata: come noto, questa va scomparendo, per effetto della ricombinazione, con andamento esponen-



4.2

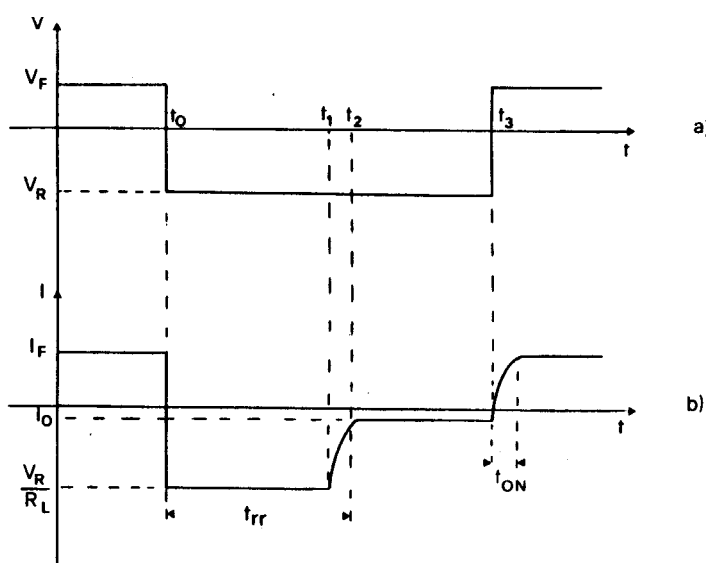
ziale man mano che ci si allontana dalla giunzione.

Consideriamo ora lo stesso diodo polarizzato inversamente, **Fig. 4.2a**; la corrente che scorre è la corrente inversa di saturazione, I_0 . La distribuzione dei portatori minoritari, a regime, è mo-

strata in **Fig. 4.2b**: non essendoci iniezione, la sola carica minoritaria presente è quella di equilibrio, generata termicamente.

Le due situazioni illustrate dalle **Fig. 4.1b** e **4.2b** sono situazioni di regime: cioè, se a $t = t_0$ la polarizzazione del diodo viene bruscamente invertita, facendola passare da V_F a V_R , la **Fig. 4.1b** rappresenta la distribuzione della carica minoritaria per $t \leq t_0$, mentre la **Fig. 4.2b** rappresenta la distribuzione della carica per $t \gg t_0$.

Ci interessa conoscere il comportamento nel transitorio, a partire da t_0 fino ad arrivare alla situazione di **Fig. 4.2b**.



4.3

In **Fig. 4.3a** è disegnata una transizione a gradino da V_F a V_R , a $t = t_0$. La corrente I attraverso la giunzione non può passare istantaneamente da I_F a I_0 , perché occorre prima svuotare la giunzione della carica minoritaria in eccesso iniettata dalla polarizzazione diretta, e che si trova

"immagazzinata" ai lati della giunzione stessa, come mostrato dall'area tratteggiata di **Fig. 4.1b**.

L'azione di svuotamento richiede tempo, perché la carica ha mobilità finita, ed il campo esterno applicato cade in massima parte sulla depletion layer, e solo in minima parte nella restante regione del diodo ove sono presenti le cariche.

Pertanto, per quanto ora detto, a $t=t_0$ la corrente cambia segno e si mantiene ad un valore costante pari a circa $I_R = V_R/R_L$, fino a quando, a $t = t_1$, non si è praticamente esaurita la carica minoritaria immagazzinata. A questo punto, la corrente decresce tendendo a I_0 .

In **Fig. 4.3b** è definito t_{rr} , tempo di recupero inverso, che è il tempo affinché la corrente inversa approssimi I_0 entro una assegnata percentuale (per es. il 5%).

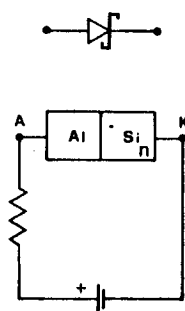
Nei transistor discreti, t_{rr} può variare da pochi nsec per componenti veloci, fino al μsec .

Se a $t = t_3$ la polarizzazione viene di nuovo invertita, ritornando a V_F , inizia di nuovo l'iniezione di carica minoritaria, tendendo alla situazione di regime di **Fig. 4.1b** cui corrisponde il passaggio della corrente I_F nel circuito. Dato il valore finito della velocità delle cariche, la situazione di regime viene raggiunta in un tempo finito, che può essere caratterizzato col tempo di accensione, t_{ON} , **Fig. 4.3b**: questo è il tempo necessario perché la corrente nella giunzione raggiunga il 90% del valore finale.

Valori tipici di t_{ON} vanno da qualche nsec per componenti veloci fino al centinaio di nsec.

4.3 - IL DIODO SCHOTTKY

Tempi di recupero inverso brevissimi possono aversi con diodi costituiti da una giunzione tra un metallo (tipicamente l'alluminio), che costituisce l'anodo, e silicio drogato n, che è il catodo, Fig. 4.4.

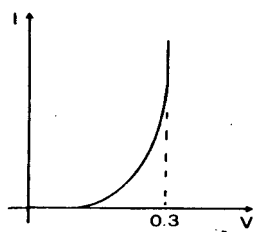


4.4

Questa giunzione è rettificante ed ha una caratteristica volt-ampere come in Fig. 4.5, simile a quella di un diodo al germanio.

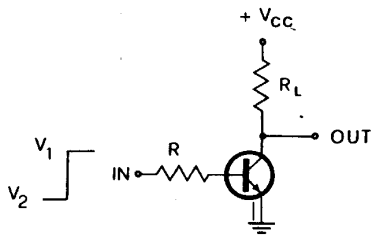
Se il diodo Schottky viene polarizzato direttamente, come in Fig. 4.4, si ha passaggio di elettroni dal silicio all'alluminio (non esiste ovviamente moto di lacune): quivi giunti, questi elettroni sono ancora portatori maggioritari, trattandosi di un metallo. Pertanto, nel diodo Schottky non c'è il fenomeno dell'immagazzinamento della carica minoritaria, per cui lo spegnimento del diodo avviene in tempi brevissimi, anche < 1 nsec.

In Fig. 4.4 è anche indicato il simbolo circuitale del componente.



4.5

4.4 - CARATTERISTICHE DI COMMUTAZIONE DI UN TRANSISTOR



4.6

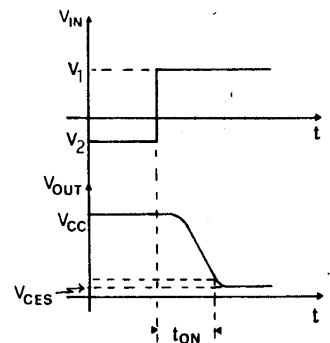
Consideriamo il circuito di **Fig. 4.6**, pilotato da un gradino di tensione con tempo di salita trascurabile, ed i cui livelli siano tali che a V_2 il transistor sia interdetto ($V_{out} = V_{CC}$) e a V_1 sia saturato ($V_{out} = V_{CES}$).

In **Fig. 4.7** è mostrata la relazione temporale fra il gradino di comando e la risposta sul collettore, come può essere osservata su un

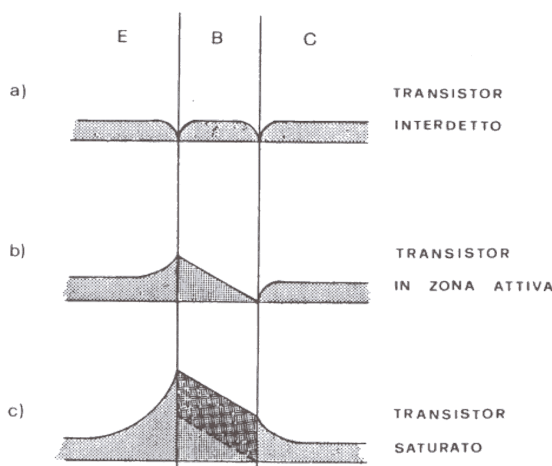
oscilloscopio.

La **Fig. 4.8** mostra la distribuzione dei portatori minoritari nelle tre regioni, nei tre casi che il transistor sia, rispettivamente, interdetto, in zona attiva, saturato.

Nel paragrafo 4.2 si è già osservato che le cariche si muovono con velocità finita quando sono sollecitate da un campo elettrico, per cui il transitorio per passare dalla interdizione alla saturazione dura un tempo più o meno lungo. Si definisce, come tempo caratteristico, il tempo di accensione t_{ON} ,



4.7



4.8

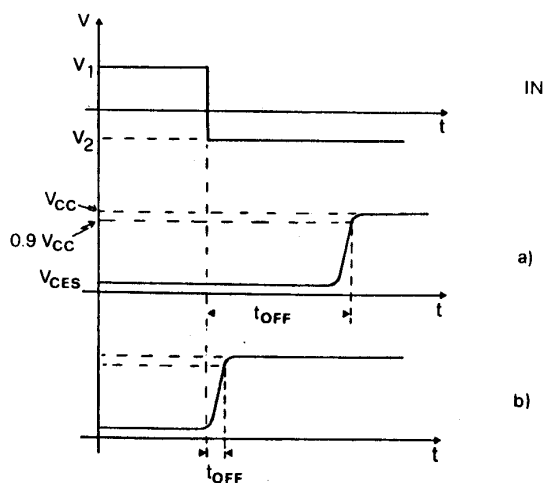
che è il tempo necessario affinché la tensione di uscita sul collettore raggiunga il 90% del valore finale. Perché questo accada, occorre attendere che le cariche passino dall'emitter nella base, poi attraversino la base e raggiungano il collettore, e infine occorre attendere che la corrente raggiunga il 90% del valore finale.

In **Fig. 4.9a** è disegnata la risposta del transistor pilotato per passare dalla saturazione all'interdizione; osservando la **Fig. 4.8** si comprende che occorre prima

svuotare la base della carica in eccesso immagazzinata (area di base tratteggiata in modo marcato, **Fig. 4.8c**), poi attraversare tutta la regione attiva, **Fig. 4.8b**, per giungere finalmente all'interdizione, **Fig. 4.8a**. La prima fase è quella che normalmente richiede più tempo, se il

transistor è fortemente saturato, poiché la carica in base si muove essenzialmente per diffusione.

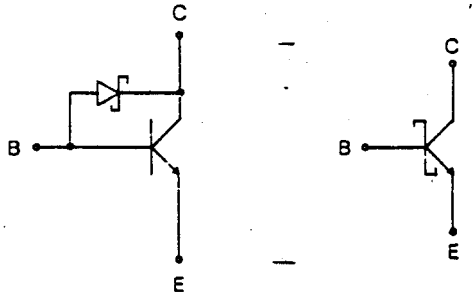
Per confronto, in **Fig. 4.9b** è indicata la risposta dello stesso transistor che si trovi, però, in zona lineare: il tempo di risposta t_{OFF} è chiaramente più breve. Per questo motivo, quando si richiedono velocità di commutazione elevate si ricorre a logiche non saturabili, nelle quali cioè si impedisce ai transistor di saturare. Una tecnica per evitare la saturazione è descritta nel paragrafo seguente.



4.9

guente.

4.5 - IL TRANSISTOR SCHOTTKY



4.10

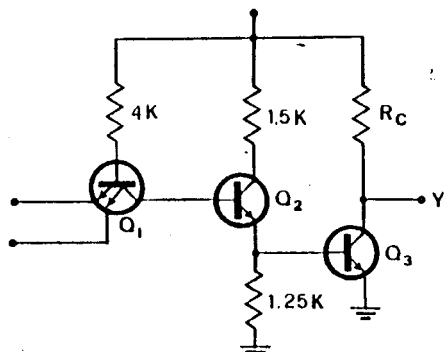
Questo componente viene ottenuto collegando un diodo Schottky fra base e collettore di un transistor bipolare, **Fig. 4.10**. In questo modo, la tensione base-collettore non potrà superare 0.3 V di polarizzazione diretta, e questo valore è inferiore alla tensione minima diretta di conduzione di una giunzione al silicio,

che è di 0.5 V. Pertanto, il transistor non sarà mai saturato.

Le famiglie logiche di tipo Schottky si basano su questo componente, il cui simbolo circuitale è indicato in Fig. 4.10.

4.6 - LA FAMIGLIA TTL

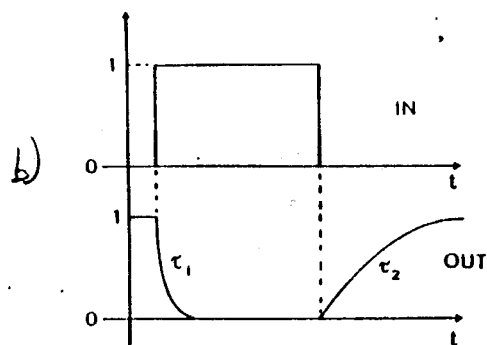
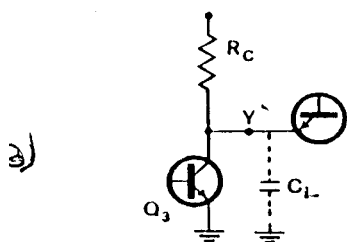
È la famiglia logica attualmente più diffusa, ed anche la più versatile come disponibilità di blocchi funzionali già disponibili come singolo circuito integrato.



4.11

collettore di Q_1 . Essendo

$$V_{B1} = V_{BE2} + V_{BE3} + V_{CB1} = 0.7 + 0.7 + 0.7 = 2.1 \text{ V}$$



4.12

In Fig. 4.11 è disegnato lo schema di principio di un NAND a due ingressi per logica positiva. Se ne dà ora una breve descrizione, assumendo per semplicità che il livello H sia 5 V ed il livello L sia 0.2 V (V_{CES} di un transistor). A titolo esemplificativo, si assume $R_C = 1k$.

Se entrambi gli ingressi sono nello stato H, Q_1 è interdetto; Q_2 riceve corrente di base attraverso la resistenza da 4k e la giunzione base-

collettore di Q_1 . Essendo la corrente di base di Q_2 è $I_{B2} = (5V - 2.1V)/4k = 0.72 \text{ mA}$, sufficiente a saturare robustamente Q_2 e quindi anche Q_3 . Allora, è $Y=L$.

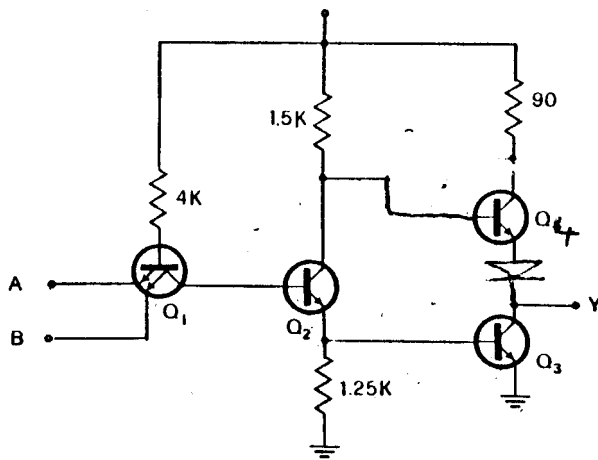
Se, ora, un ingresso (o entrambi) va nello stato L, la tensione V_{B1} viene agganciata a $L + V_{BE1} = 0.9 \text{ V}$ (tramite la giunzione base-emitter di Q_1); essendo

$$V_{B2} = V_{BE3} + V_{BE2} = 1.4 \text{ V}$$

risulta che il transistor Q_1 non è saturato, ma è in zona attiva: pertanto, grazie al suo grande guadagno di corrente, h_{fe} , esso svuota rapidamente la carica in eccesso nella base di Q_2 e Q_3 , portandoli rapidamente all'interdizione: $V_Y = H$. Questa particolare configurazione permette di ottenere ritardi di

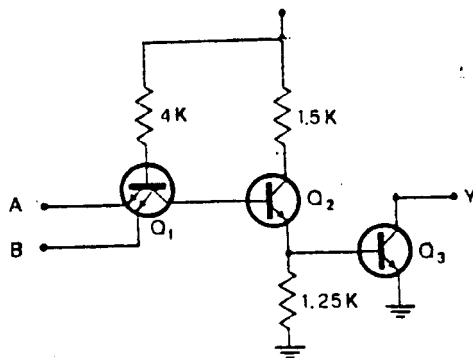
propagazione nell'ordine di 10 nsec. Se poi si adoperano transistor Schottky, tale ritardo si riduce ulteriormente fino a 2-3 nsec.

In effetti, lo schema di **Fig. 4.11** è solo esemplificativo, perché non permetterebbe di sfruttare



4.13

per R_C di qualche $k\Omega$.



4.14

mentre per la conduzione di Q_4 occorre che sia

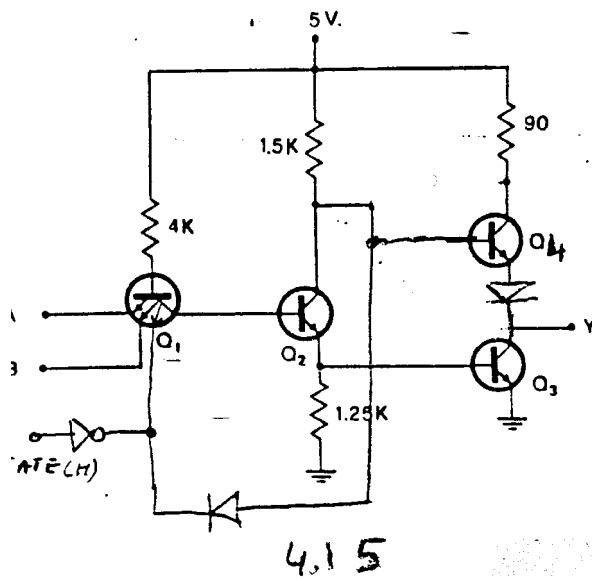
$$V_{B4} > V_{CES3} + V_{\gamma_4} + V_{\gamma_D} = 0.2 + 0.5 + 0.5 = 1.2 \text{ V}$$

Il fatto che Q_4 sia interdetto quando Q_3 è saturato è, in effetti, un vantaggio: in tal modo, la corrente di saturazione di Q_3 è fornita tutta dalle porte di carico, massimizzando il fan-out e minimizzando la dissipazione di potenza a vuoto.

a pieno l'intrinseca velocità di commutazione della porta. Infatti, **Fig. 4.12a**, mentre la transizione di uscita $H \rightarrow L$ avviene con costante di tempo $\tau = R_{SAT3}C_L$ (essendo R_{SAT3} la resistenza di Q_3 saturato, qualche decina di ohm, e C_L la capacità di carico sull'uscita) la transizione $L \rightarrow H$ avviene con costante di tempo $\tau' = R_C C_L$, molto maggiore di τ , **Fig. 4.12b**,

Sono state escogitate diverse soluzioni per superare questo inconveniente: una di queste è indicata in **Fig. 4.13** (configurazione "totem-pole"). Riferendoci a questa figura, quando l'uscita è nello stato L, cioè quando Q_2 e Q_3 sono saturati, Q_4 risulta essere interdetto: infatti, la tensione sulla base di Q_4 è:

$$V_{B4} = V_{CES2} + V_{BE3} = 0.2 + 0.7 = 0.9 \text{ V}$$



La porta TTL nella configurazione di **Fig. 4.13** non è utilizzabile per l'OR cablato: poiché Q_3 e Q_4 sono alternativamente l'uno saturato e l'altro interdetto, si riproduce la situazione degli switch descritta nel par. 1.16. La versione open-collector, che consente l'OR cablato, è in **Fig. 4.14**. La versione tri-state, descritta nello stesso paragrafo 1.16, è in **Fig. 4.15**: quando l'ingresso di controllo tri-state è H, è facile vedere che Q_3 e Q_4 sono entrambi interdetti e l'u-

scita è floating (stato alta-impedenza). Come già illustrato nel par. 1.16, con porte tri-state si può realizzare l'OR cablato senza deteriorare eccessivamente le velocità di commutazione.

4.7 - LA FAMIGLIA ECL

La porta base di questa famiglia è il NOR; di norma, viene anche resa disponibile la funzione

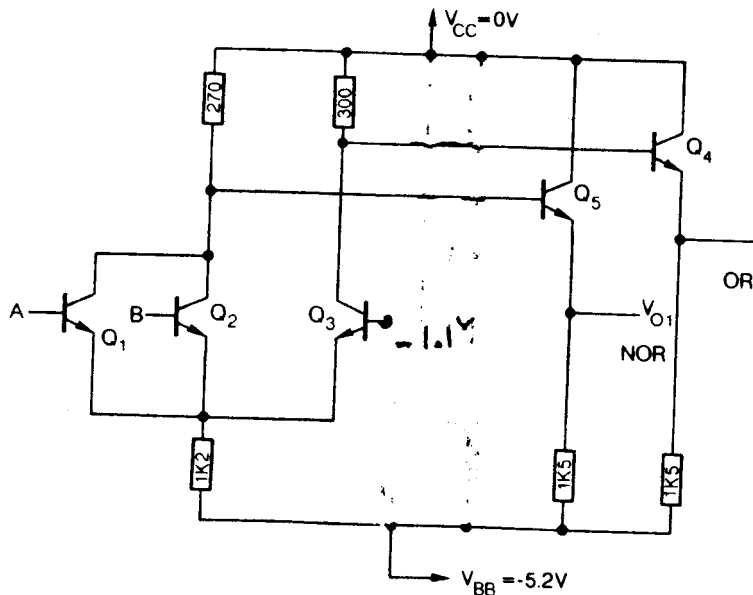


Fig. 4.16

OR. Uno schema tipico (semplificato) per logica positiva è in Fig. 4.16, che mostra anche il simbolo circuitale della porta. Come si vede, la struttura della porta è basata su un amplificatore differenziale. Analizziamone il funzionamento. La base di Q_3 è mantenuta al potenziale di $-1.1V$ tramite una rete di polarizzazione interna, non mostrata.

Se la tensione degli ingressi A e B è inferiore a $-1.1V$, Q_1 e Q_2 sono interdetti; la tensione sul collettore di Q_2 è $\sim 0V$, e si ha

$$V_{E5} = V_{O1} = -0.7V$$

che è il *livello H* della famiglia. Q_3 invece conduce la corrente

$$I_{C3} = I_E = (V_{BB} - V_{BE3} - 1.1V) / 1.2k = 2.83mA$$

Allora, $V_{C3} = -0.3k \cdot 2.83mA = -0.85V$. Si noti che Q_3 non è saturato.

Inoltre, $V_{E4} = V_{O2} = -0.85V - 0.7V = -1.55V$, che è il *livello L* della famiglia.

Se la tensione di almeno uno dei due ingressi, per es. A, è H (cioè $-0.7V$), Q_3 si interdice mentre Q_1 conduce una corrente di $\sim 3.17mA$. La tensione di collettore di Q_1 e Q_2 è

$$V_{C1} = V_{C2} = -0.27k \cdot 3.17mA = -0.85V$$

Anche Q_1 e Q_2 non saturano. Le tensioni di uscita sono ora

$$V_{O2} = V_{C3} - V_{BE4} = -0.7V$$



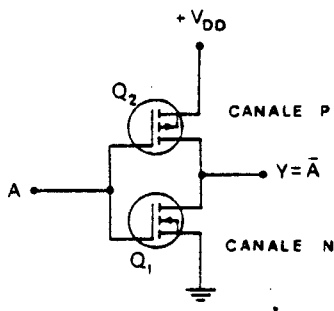
Fig. 4.16a

$$V_{O1} = V_{C1} - V_{BE5} = -1.55 \text{ V}$$

Poiché nessuno dei transistor della porta satura, non c'è immagazzinamento di carica in eccesso nella base e le commutazioni sono velocissime. La famiglia ECL è attualmente la più veloce sul mercato, con ritardo di propagazione dell'ordine di 1 nsec.

4.8 - LA FAMIGLIA CMOS

In questa famiglia, l'elemento base per costruire porte logiche è l'inverter con carico attivo,



4.17

Fig. 4.17: si noti che i due MOS sono complementari, cioè uno a canale p (Q_2), l'altro a canale n (Q_1): di qui il nome (Complementary-MOS).

La tensione di alimentazione può variare da 3 a 15 volt: tipico è il valore di 5 V, che permette la compatibilità con la famiglia TTL (le porte delle due famiglie diventano direttamente interfacciabili, nel senso che riconoscono gli stessi livelli logici; ci sono tuttavia problemi di fan-out). Nella descrizione della

porta, ci riferiamo a questo valore.

Poiché i due MOS sono complementari ed hanno il gate comune, segue che, fissato il potenziale di A, uno di essi sarà acceso e l'altro spento. Per es., se $V_A = 0$ V, si ha $V_{GS1} = 0$ V e quindi Q_1 è interdetto, mentre $V_{GS2} = -5$ V, e quindi Q_2 è a conduzione. Ma il carico di drain di Q_2 è costituito da Q_1 interdetto (cioè un circuito aperto) per cui Q_2 conduce corrente zero (la caduta sulla resistenza di canale è 0). La tensione di uscita è

$$V_Y = V_{DD} - V_{DS2} = 5 \text{ V} = H$$

Se, invece, è $V_A = 5$ V, allora è $V_{GS1} = 5$ V, e Q_1 è a conduzione; è anche $V_{GS2} = 0$ V per cui Q_2 è interdetto. Questa volta è Q_1 che vede sul drain un circuito aperto, e conduce corrente zero. L'uscita è, in questo caso:

$$V_Y = V_{DS1} = 0 \text{ V} = L$$

Da quanto detto, si deduce che il circuito di **Fig. 4.17** realizza la funzione logica del NOT senza consumo apprezzabile di corrente, cioè senza dissipare potenza. In effetti, la corrente che circola è la I_{DS} di fuga di un MOS interdetto (dell'ordine dei nA).

La peculiarità di questa famiglia è che con essa si possono implementare logiche con consumi dell'ordine del nW/gate. Questo vale, naturalmente, in condizioni statiche o a frequenze molto basse. Al crescere della frequenza diventa non trascurabile il carico costituito dalla capacità di carico C_L , **Fig. 4.19**. Per es., a $f = 1$ MHz e con $C_L = 50$ pF, la potenza dissipata per gate è, tipicamente, 1 mW/gate. Può essere utile conoscere una formula euristica che permette di stimare la potenza dinamica dissipata in un elemento (porta, FF, ecc.) CMOS:

$$P_D = V_{CC}^2 [f_{IN} C_{PD} + f_{OUT} C_L]$$

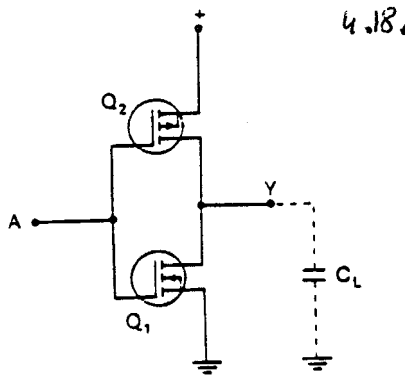
ove V_{CC} è la tensione di alimentazione, f_{IN} è la frequenza del segnale di entrata, f_{OUT} quella del segnale all'uscita, C_{PD} è una capacità convenzionale per gate data dal costruttore, C_L è la capacità di carico sull'uscita.

Il ridotto consumo di potenza rende questa famiglia estremamente interessante per la realizzazione di grandi apparati (che impiegano centinaia di migliaia di porte logiche), o quando la potenza disponibile è ridotta (per es. a bordo di satelliti), oppure per la realizzazione di apparati elettronici portatili (cellulari, orologi digitali, ecc.). Se a questo si aggiunge il fatto che la tecnologia MOS consente la massima densità di integrazione (cioè la realizzazione di integrati con il massimo numero di porte logiche per unità di area), si comprende che questa famiglia è destinata a soppiantare tutte le altre.

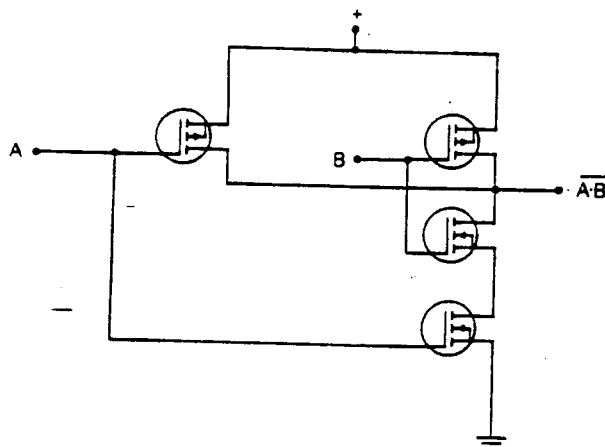
Per quel che riguarda il fan-out, da quanto sopra detto si deduce che esso dipende essenzialmente dalla capacità di carico sull'uscita. A questa capacità è legato anche il ritardo di propagazione. Per es., nella famiglia CMOS standard, con $C_L = 50$ pF (equivalente a 10 gates di carico) il ritardo di propagazione è ~ 50 nsec/gate.

Dato il grande interesse che ha oggi questa famiglia, le sue prestazioni vengono continuamente migliorate: per es., la sottofamiglia HCMOS ha prestazioni di velocità simili alle più veloci sottofamiglie TTL (vedi Fig. 1.20).

La Fig. 4.20 mostra lo schema di un NAND per logica positiva: la verifica della tavola della verità è lasciata come esercizio.



4.19



4.20